

Cell プロセッサへの分子軌道法プログラムの実装と評価

(九大院シス情[†], 九大情基センター^{††})林 徹生[†] 本田 宏明^{††} 稲富 雄一^{††} 井上 弘士[†] 村上 和彰^{†,††}

序論

近年, 1 個のチップに複数のプロセッサコアを搭載するチップマルチプロセッサ (CMP) が数多く提案されている. 依存関係のない処理を各プロセッサコアで並列実行することにより性能向上が可能となるが, 高い処理能力を有する Cell プロセッサもその一つである. CMP チップの用途として主にメディア処理が想定されているが, その高い計算能力を生かすことで分子軌道法計算にも利用可能と考えられる.

そこで本研究では, Cell プロセッサに分子軌道法計算のボトルネックとも言える二電子積分計算を実装し, その性能を評価する. また, Cell アーキテクチャと分子軌道法プログラムの有する特徴がプロセッサ性能へどのような影響を与えるか解析を行う. そして, 今後の分子軌道法計算への CMP チップの利用可能性を考察する. 本稿では, Cell アーキテクチャと分子軌道法プログラムのタスク分配法, 評価結果を紹介する.

Cell アーキテクチャ

【内部構成】Cell には 9 個のプロセッサコアが搭載され, 1 個の制御プロセッサ PPE(Power Processor Element) と 8 個の演算プロセッサ SPE(Synergistic Processor Element) から構成される. Cell の内部構成を図 1 に示す. 各 SPE は 256K バイトのスクラッチパッドメモリ LS(プログラマが明示的に制御可能なオンチップメモリ) を内部に持つ. それぞれのプロセッサコアはリング型内部バス EIB(Element Interconnect Bus) で接続される.

【特徴】Cell アーキテクチャの主な特徴は, 1) 8 個の演算プロセッサによるスレッドレベル並列性, 2) 徹底したハードウェアの簡素化による消費電力の削減, が挙げられる [1]. 特に, 後者により最大 4GHz という高周波数での動作を可能としている. 具体的には以下の点に関して, 従来のようなハードウェア制御を行っていない.

- ソフトウェア分岐予測の採用
- ソフトウェア制御オンチップメモリ LS
- アラインメントを取らない LS

この結果, 表 1 に示すように, ハイエンドな高性能汎用プロセッサと比較して極めて高い処理能力を有すると期待される.

分子軌道法プログラムの実装

【アルゴリズム】二電子積分計算のアルゴリズムはいくつか知られているが, 本研究では小原による縮約基底についての一般漸化表式アルゴリズム (新・小原のアルゴリズム)[2] を積分駆動型アルゴリズムの元で使用した. 新・小原のアルゴリズムは外側のシェル 4 重ループの内にある初期積分計算 (IIC) と漸化計算 (RC) で構成されており, 同じループ階層で部分フォック行列の計算 (PF) が行われる.

初期積分計算は内部に縮約の 4 重のループ構造を持ち, その特徴としては, ループ 1 回あたりの演算数は非常に少なく, 命令レベルの並列性も低い. また, 複雑な計算がクリティカル・パス上に存在する.

一方の漸化計算は, 非常に高い並列性を持つ多数の積和演算命令のみから構成される.

【タスク分配法と処理の流れ】Cell 全体として高い性能とするには, SPE 間の通信を削減し, かつ, 各 SPE の総処理時間を平均化する必要がある.

そこで本研究では, タスク分配の粒度については同期処理がほとんど発生しないとの観点から, IIC と RC, PF を 1 つのタスク分配のための粒度とした. また, 以下に示すように, タスク分配の方法としては PPE-SPE 間通信が少ないことを優先事項と設定した.

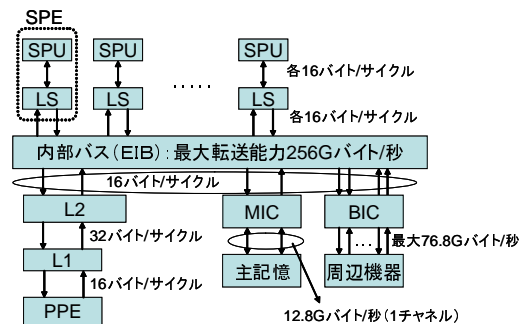


図 1: Cell のブロック図

表 1: Cell と Pentium4 の性能比較

	Cell	Pentium4
トランジスタ数 (個)	2億3400万	1億2500万
面積 (mm ²)	221	112
動作周波数 (Hz)	4G (最大4.6G)	3.8G
ピーク性能 (GFLOPS)	単精度	256 (SPE × 8)
	倍精度	26 (SPE × 8)

- SPE : IIC と RC の計算 (RC の並列性と IIC-RC 間のデータ通信量を考慮)
- PPE : PF の計算 (LS サイズの制約を考慮)

PPE-SPE 間の同期方法については、PPE のメモリ上に各 SPE に対応した制御用 flag を格納し、SPE の DMA を利用して書き換えを行う。

性能評価

【評価対象モデルと実験環境】Cell シミュレータを調整することで種々の仮想的な Cell プロセッサをエミュレートし、性能を評価する。評価の際の評価対象モデルは以下の通り。

- BASE:従来の Cell。
- PBP(Perfect Branch Prediction) : 分岐予測ヒット率を 100 % と仮定した BASE モデル。
- EDP(Extended Double Precision) : BASE モデルにおいて、倍精度と単精度浮動小数点演算性能が等しいと仮定したモデル。
- EDP+PBP : EDP と PBP を組み合わせたモデル。
- PentiumD : 動作周波数 3.2GHz の PentiumD プロセッサ。

本実験では Cell シミュレータ mambo を用いた。また、コンパイラには mambo と共に提供される ppu-gcc と spu-gcc(コンパイラオプション: -O2 -g) を用いた。分子軌道法プログラムの実行には、テスト計算として DZV 基底関数の C_4 分子を入力データとした。一方、PentiumD の評価環境(計算入力とは Cell と同じ)では、コンパイラに gcc(-O2 -g), 性能評価ライブラリに PAPI を用いた。

【結果】実験結果を図 2 に示す。図中において、各棒グラフの内訳は以下の通り。

- instruction issue : 全命令の実行に要する総クロックサイクル数(ストールサイクルを除く)。
- branch miss stall : 分岐予測ミスに起因するストールサイクル数。
- dependency stall : データ依存に起因するストールサイクル数。
- other : その他の理由によるストールサイクル数。

まず、BASE と PentiumD モデルを比較する。BASE モデルでは、分岐予測ミスとデータ依存によるストールサイクル数が実行時間のそれぞれ 1/3 程度ずつを占めている。ここで、ストールとはプロセッサが次の作業に入ることができず、空回りしている状態である。この結果、PentiumD モデルに比べ 4 倍もの実行時間を要している。BASE と PentiumD モデルのピーク性能を考えると、BASE モデルの方がストールサイクル数を除いても遅い。その主な原因は、大容量レジスタを用いたループアンローリングといった Cell の特徴に合ったコード最適化が不十分であるためだと考えられる。

次に、ソフトウェア分岐予測による性能への影響については BASE と PBP モデルを比較すると、BASE モデルでは 60 % 程度の分岐予測ヒット率で

あった。プロセッサの分岐予測ヒット率を向上させる (PentiumD モデルにおけるヒット率 99 % と同等にすることが可能ならば、PBP モデルのような計算性能の向上が得られることが分かる。

倍精度の演算性能に関しては、BASE と EDP モデルを比較する。EDP モデルは BASE モデルに比べ、各内訳に対するクロックサイクル数が半減されている。倍精度/単精度の浮動小数点演算の演算遅延(加算や乗算でそれぞれ 13/6 clock cycle) に比例した instruction issue と branch miss stall の削減を実現している。一方、dependency stall に関しては前者に比べてクロックサイクル数の削減率がやや劣る。この原因は、初期積分計算におけるデータ依存関係と Load/Store 命令の多さであると考えられる。

最後に PBP+EDP と PentiumD モデルについて述べる。両者を比べると、PentiumD モデルの方がクロックサイクルが短い。前述のように、dependency stall の大幅削減は難しい。一方で、instruction issue は SIMD 演算を組み込むこと等により削減を期待でき、PentiumD モデルよりも計算時間を短縮することも可能であると予想している。

参考文献

- [1] 村上和彰, 井上弘士, 吉松則文, 日経マイクロデバイス, No.237, pp.44-47, 2005 年 3 月
- [2] H.Honda, T.Yamaki, and S.Obara, J.Chem.Phys, 117, pp.1457-1469(2002)
- [3] Cell 公開資料, http://cell.scei.co.jp/j_download.html

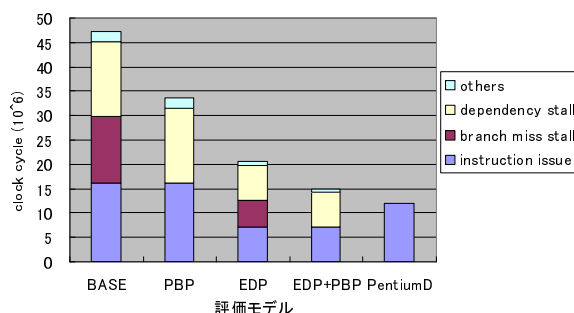


図 2: 項目別の全クロックサイクル数と処理の内訳