

魔法数金ナノクラスターを浮遊ゲートとする メモリデバイスの特性と構造相関

¹慶大理工, ²東理大理, ³慶大KiPAS

○横山高穂¹, 平田直之¹, 根岸雄一², 角山寛規¹, 中嶋敦^{1,3}

Characteristics of Floating-Gate Memory Devices with Magic-Number Gold Nanoclusters and Their Structure Correlations

○Takaho Yokoyama¹, Naoyuki Hirata¹, Yuichi Negishi²,
Hironori Tsunoyama¹, Atsushi Nakajima^{1,3}

¹ Graduate School of Science and Technology, Keio University, Japan

² Department of Applied Chemistry, Faculty of Science, Tokyo University of Science, Japan

³ Keio Institute of Pure and Applied Science (KiPAS), Keio University, Japan

【Abstract】 Floating-gate memory devices based on thiolate-protected gold nanoclusters (Au:SR) were fabricated and their characteristics were evaluated by capacitance-voltage measurements. Capacitance-voltage curves for Au:SR based devices showed negative shift compared to the reference device, which indicates memory characteristics of hole accumulation in Au:SR.

【序】 金属ナノ粒子を浮遊ゲートとするメモリデバイスは、半導体ナノ粒子と比較して高い電荷保持能や速い応答速度を達成できるため盛んに研究されてきた[1]。サイズを微細化したナノクラスター (NC) を浮遊ゲートとすることで、メモリデバイスの高密度化や離散的な電子準位を利用した多値記憶などが期待されている [2]。NC を基盤とするデバイスの発展には、NC の幾何・電子構造とメモリ特性の相関を調べるのが重要であり、単一サイズの NC を精密に集積化したデバイスの作製・評価を行う必要がある。本研究では、単一サイズのチオラート保護金クラスター (Au:SR) の単層膜を作製し、その浮遊ゲートメモリとしての機能を評価した。

【方法 (実験・理論)】 メモリデバイスは表面に 20 nm の熱酸化膜をもつ p 型 Si 基板上に薄膜を積層することで作製した(Fig. 1 (a))。① Au:SR 単層膜の作製: Au:SR クロロホルム溶液 (~0.2 mg/mL) を水面に展開し、溶媒を蒸発させた後に、表面圧と面積の等温曲線における変曲点まで圧縮し、Langmuir 膜 (L 膜) を作製した。② Au:SR の基板上への転写: L 膜は (i) マイクロコンタクトプリンティング法 (μ CP) および (ii) 水平付着法により Si 基板上へ転写した。(i) ではポリジメチルシロキサン (PDMS) のスタンプを介して基板上に転写を行い、(ii) では基板表面を直接 L 膜に接触させることで転写を行った。③ 絶縁層の形成: Au:SR 層の上に、フッ素樹脂 (CYTOP[®]) を滴下し、スピコートによって厚み約 15 nm の絶縁層を形成した。④ゲート電極の形成: 真空蒸着により金を 40 nm 堆積し、ゲート電極とした。

作製したデバイスのゲート電極に印加した電圧 (V_{gate}) を掃引し (+10 \rightarrow -10 \rightarrow +10 V, 50 mV/s)、 V_{gate} に対する静電容量の値を 100 mV, 1 MHz の交流電圧を印加することで測定した。また、Au:SR を積層させない構造体を参照デバイスとした。

【結果・考察】 Au₃₈(SC₁₂H₂₅)₂₄ (Au₃₈) を用いたメモリデバイスの容量-電圧(C - V_{gate})曲線には、明瞭なヒステリシスが観測された(Fig. 1 (b))。参照デバイスの C - V_{gate} 曲線で

はヒステリシスが観測されないことから、Au38 は浮遊ゲートとして機能することが明らかとなった。Au:SR を浮遊ゲートとするデバイスの $C-V_{\text{gate}}$ 曲線は、+10→-10 V の掃引の際に、参照デバイスと比較して負電位にシフトしており、-10→+10 V の掃引では、ほぼ類似の曲線が得られた。静電容量シフトの方向は、電位の掃引後に浮遊ゲートに残存する電荷の種類に依存する。+から-側の掃引においてシフトが観測されるのは、浮遊ゲート層に正電荷が存在し、p 型 Si 表面が掃引電位に対して相対的に正の電位を感じたためであり、電荷キャリアはホールである。すなわち、このデバイス動作においては、 $V_{\text{gate}} > 0$ において Au:SR へ正電荷が注入され、 $V_{\text{gate}} < 0$ において正電荷が放出される。上記の特徴は Au₂₅(SC₁₂H₂₅)₁₈ (Au25) においても観測され、Au25 においても電荷キャリアがホールであることがわかった。

2 種の異なる L 膜の転写方法で得られる $C-V_{\text{gate}}$ 曲線のヒステリシス幅 (ΔV) を Fig. 2 にプロットした。Au25 と Au38 のいずれのサイズにおいても、水平付着法を用いた場合に μCP 法に比べて ΔV が大きい。この結果は、それぞれの転写方法による

デバイスで、Au:SR の転写率 (層内の Au:SR の個数) が異なっているためと考えられ、水平付着法による転写率のほうが高いと考えられる。Au:SR は表面がドデカンチオールで覆われているため疎水性であり、PDMS も疎水性である。一方、基板表面は SiO₂ であり、親水性である。このため、Au:SR-PDMS 間の相互作用が Au:SR-SiO₂ 間に比べて強く、PDMS から Si 表面への転写率が十分高くならなかったと考えられる。したがって、本系で μCP での転写率を向上させるには、基板表面を疎水的に改変することが有効であると考えられる。

また、いずれの転写方法においても Au25 と比較して Au38 が大きい ΔV を示した。単分子層内の Au:SR の数密度は、Au25 の方が Au38 に比べて大きいと考えられる。一般に浮遊ゲートに注入されている電荷量が多いほど ΔV は大きくなることを踏まえると、Au25 の方が数密度は大きいにも関わらず、Au38 が大きい ΔV を示すことがわかる。これは、ナノクラスターあたりの平均電荷が Au38 において多いことに対応し、この違いは、Au:SR の電子構造のサイズ変化に起因すると考えられる。

【参考文献】

- [1] Z. Liu, et al. *IEEE Trans. Electron Dev.* **49**, 1606 (2002)
 [2] N. Hirata, et al. *J. Phys. Chem. C* **121**(20), 10638 (2017)

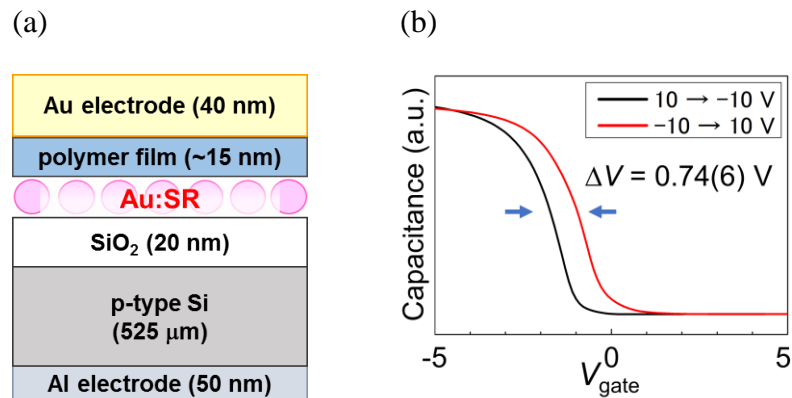


Fig. 1 (a) Schematic image of the fabricated device. (b) $C-V_{\text{gate}}$ curves for the Au₃₈(SR)₂₄ based device (only -5 to +5 V are shown).

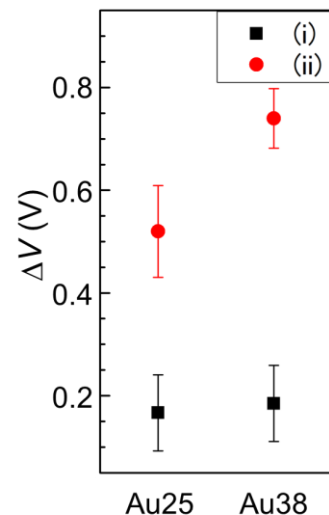


Fig. 2 Hysteresis widths in $C-V_{\text{gate}}$ measurements for Au25 and Au38 based devices prepared with (i) μCP and (ii) Langmuir-Schäfer methods.